

(1) Japanese Patent Application Laid-Open No. 2000-357743(2000):
“METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE”

The following is a brief description of the invention disclosed in this publication.

According to the present invention, a metal interconnection in the uppermost layer is patterned, and a redundant fuse 11 and a bonding pad 12 are formed. Thereafter a p-TEOS film 13 is deposited through plasma CVD process, and a p-SiN film 14 is also deposited through plasma CVD process. After etching the p-SiN film 14 and the p-TEOS film 13 to form an opening pad 15, a polyimide film 18 having openings 16 and 17 is formed. Next, using a relatively low cost plasma-etching apparatus, the p-SiN film 14 in the openings 16 and 17 is etched. At this time, because of a high selectivity of the p-SiN film 14, the p-TEOS film 13 on the redundant fuse 11 can be kept substantially thick as that when it was formed.

(51)Int.Cl.⁷

識別記号

F I

テマコード (参考)

H01L 21/82

H01L 21/82

F 5F004

21/302

21/302

5F033

21/3205

21/88

A 5F064

審査請求 未請求 請求項の数10 O L (全7頁)

(21)出願番号

特願平11-169145

(22)出願日

平成11年6月16日(1999.6.16)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 立岩 健二

大阪府高槻市幸町1番1号 松下電子工業

株式会社内

(74)代理人 100076174

弁理士 宮井 暎夫

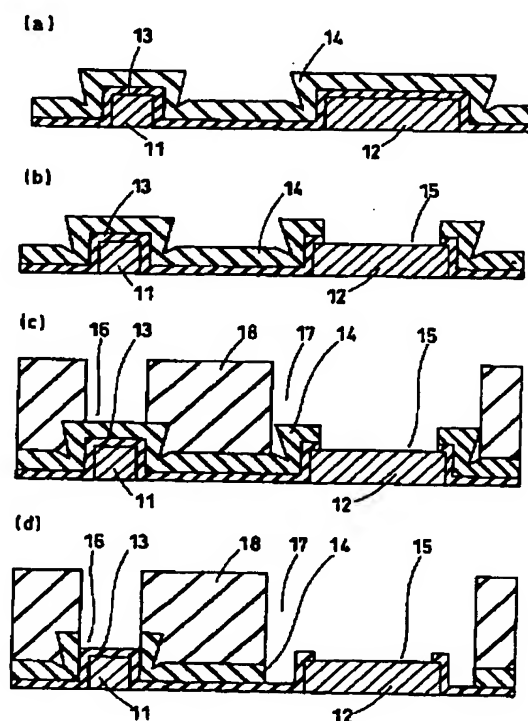
最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】 比較的安価な装置を用いて、冗長ヒューズ上の絶縁膜の膜厚が正確に制御され信頼性の高い半導体装置を実現する。

【解決手段】 最上層メタル配線をパターニングして冗長ヒューズ部11およびボンディングパッド部12を形成した後、プラズマCVD法によりp-TEOS膜13を堆積し、プラズマCVD法によりp-SiN膜14を堆積する。p-SiN膜14、p-TEOS膜13をエッチングしてパッド開口部15を形成した後、開口部16、17を設けたポリイミド膜18を形成する。次に、比較的安価なプラズマエッチング装置を用いて、開口部16、17のp-SiN膜14をエッチングする。このとき、p-SiN膜14の選択性が高く、冗長ヒューズ部11上のp-TEOS膜13をほぼ成膜時の膜厚に維持できる。



【特許請求の範囲】

【請求項 1】 レーザー切断方式のヒューズ部が最上層メタル配線で形成された冗長回路を有する半導体装置であって、

前記最上層メタル配線を覆う保護膜として、前記最上層メタル配線上に形成されたプラズマエッチングされにくい絶縁膜と、前記プラズマエッチングされにくい絶縁膜上に形成されたプラズマエッチングされやすい絶縁膜とを設けたことを特徴とする半導体装置。

【請求項 2】 最上層メタル配線で形成されたヒューズ部上は、プラズマエッチングされにくい絶縁膜のみが形成され、プラズマエッチングされやすい絶縁膜が除去された開口部を有したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 最上層メタル配線のボンディングパッド部およびその周辺領域にプラズマエッチングされやすい絶縁膜が除去された開口部を有し、前記ボンディングパッド部にプラズマエッチングされにくい絶縁膜が除去された開口部を有するとともに、前記プラズマエッチングされやすい絶縁膜上にのみポリイミド膜が形成されたことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 最上層メタル配線のボンディングパッド部上は、プラズマエッチングされやすい絶縁膜とプラズマエッチングされにくい絶縁膜とが同じ領域で除去された開口部を有したことを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 プラズマエッチングされやすい絶縁膜がシリコン窒化膜であり、プラズマエッチングされにくい絶縁膜がシリコン酸化膜であることを特徴とする請求項 1, 2, 3 または 4 記載の半導体装置。

【請求項 6】 プラズマエッチングされやすい絶縁膜がステップカバレッジが相対的に悪い膜であり、プラズマエッチングされにくい絶縁膜がステップカバレッジが相対的に良い膜であることを特徴とする請求項 1, 2, 3 または 4 記載の半導体装置。

【請求項 7】 レーザー切断方式のヒューズ部が最上層メタル配線で形成された冗長回路を有する半導体装置の製造方法であって、

前記最上層メタル配線形成後にプラズマエッチングされにくい絶縁膜を形成する工程と、

前記プラズマエッチングされにくい絶縁膜上にプラズマエッチングされやすい絶縁膜を形成する工程と、

前記最上層メタル配線のボンディングパッド部上部の前記プラズマエッチングされやすい絶縁膜および前記プラズマエッチングされにくい絶縁膜をエッチングする工程と、

前記ボンディングパッド部およびその周辺領域上と前記ヒューズ部上に開口を有するチップコートのためのポリイミド膜を形成する工程と、

前記ポリイミド膜をマスクにして前記プラズマエッチン

グされやすい絶縁膜をプラズマエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 レーザー切断方式のヒューズ部が最上層メタル配線で形成された冗長回路を有する半導体装置の製造方法であって、

前記最上層メタル配線形成後にプラズマエッチングされにくい絶縁膜を形成する工程と、

前記プラズマエッチングされにくい絶縁膜上にプラズマエッチングされやすい絶縁膜を形成する工程と、

前記最上層メタル配線のボンディングパッド部上部の前記プラズマエッチングされやすい絶縁膜および前記プラズマエッチングされにくい絶縁膜をエッチングする工程と、

前記ヒューズ部上のプラズマエッチングされやすい絶縁膜をプラズマエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9】 プラズマエッチングされやすい絶縁膜がシリコン窒化膜であり、プラズマエッチングされにくい絶縁膜がシリコン酸化膜であることを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

【請求項 10】 プラズマエッチングされやすい絶縁膜がステップカバレッジが相対的に悪い膜であり、プラズマエッチングされにくい絶縁膜がステップカバレッジが相対的に良い膜であることを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大容量半導体メモリ装置やシステム LSI などの超高集積化された半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体装置およびその製造方法は電子機器のデジタル化のためのキーテクノロジーとして注目されている。従来の半導体装置およびその製造方法は特開平 7-202002 号公報に記載されたものが知られている。

【0003】以下図面を参照しながら、上記した従来の半導体装置およびその製造方法の一例について説明する。図 5 は従来の半導体装置の断面構造図を示すものである。図 5 において、51 はシリコン基板、52, 54, 56 はシリコン酸化膜、53 は冗長ヒューズ部、55 はシリコン窒化膜、57 は開口部である。

【0004】この従来の半導体装置は、シリコン基板 51 上に、シリコン酸化膜 52、配線層がバタニングされた冗長ヒューズ部 53、シリコン酸化膜 54、バタニングされたシリコン窒化膜 55、シリコン酸化膜 56 が順番に形成されている。この半導体装置の製造において、バタニングされたシリコン窒化膜 55 上にシリコン酸化膜 56 を形成した後、フォトリソ（図示せず）を用いてシリコン酸化膜 56 をエッチングして開口

部57を形成するが、その際、シリコン窒化膜55をエッチングストップとしてエッチングする。こうすることにより、冗長ヒューズ部53上の絶縁膜の膜厚は、シリコン酸化膜54の膜厚とシリコン窒化膜55の膜厚のみで決定され、比較的正確に冗長ヒューズ部53上の膜厚制御を行うことが出来た。

【0005】

【発明が解決しようとする課題】しかしながら上記従来の構成では、シリコン酸化膜56のエッチングをシリコン窒化膜55で止めるというエッチング技術が必要である。このエッチング技術は非常にプロセスマージンが狭く、用いる設備も非常に高価なものが必要であり、特別な有毒ガス除外装置が必要であるという問題点を有していた。

【0006】本発明は上記問題点に鑑み、比較的安価な装置を用いて、冗長ヒューズ上の絶縁膜の膜厚が正確に制御された信頼性の高い半導体装置およびその製造方法を提供するものである。

【0007】

【課題を解決するための手段】請求項1記載の半導体装置は、レーザー切断方式のヒューズ部が最上層メタル配線で形成された冗長回路を有する半導体装置であって、最上層メタル配線を覆う保護膜として、最上層メタル配線上に形成されたプラズマエッチングされにくい絶縁膜と、プラズマエッチングされにくい絶縁膜上に形成されたプラズマエッチングされやすい絶縁膜とを設けたことを特徴とする。

【0008】請求項2記載の半導体装置は、請求項1記載の半導体装置において、最上層メタル配線で形成されたヒューズ部上は、プラズマエッチングされにくい絶縁膜のみが形成され、プラズマエッチングされやすい絶縁膜が除去された開口部を有したことを特徴とする。

【0009】請求項3記載の半導体装置は、請求項2記載の半導体装置において、最上層メタル配線のボンディングパッド部およびその周辺領域にプラズマエッチングされやすい絶縁膜が除去された開口部を有し、ボンディングパッド部にプラズマエッチングされにくい絶縁膜が除去された開口部を有するとともに、プラズマエッチングされやすい絶縁膜上にのみポリイミド膜が形成されたことを特徴とする。

【0010】請求項4記載の半導体装置は、請求項2記載の半導体装置において、最上層メタル配線のボンディングパッド部上は、プラズマエッチングされやすい絶縁膜とプラズマエッチングされにくい絶縁膜とが同じ領域で除去された開口部を有したことを特徴とする。

【0011】請求項5記載の半導体装置は、請求項1、2、3または4記載の半導体装置において、プラズマエッチングされやすい絶縁膜がシリコン窒化膜であり、プラズマエッチングされにくい絶縁膜がシリコン酸化膜であることを特徴とする。

【0012】請求項6記載の半導体装置は、請求項1、2、3または4記載の半導体装置において、プラズマエッチングされやすい絶縁膜がステップカバレッジが相対的に悪い膜であり、プラズマエッチングされにくい絶縁膜がステップカバレッジが相対的に良い膜であることを特徴とする。

【0013】請求項7記載の半導体装置の製造方法は、レーザー切断方式のヒューズ部が最上層メタル配線で形成された冗長回路を有する半導体装置の製造方法であって、最上層メタル配線形成後にプラズマエッチングされにくい絶縁膜を形成する工程と、プラズマエッチングされにくい絶縁膜上にプラズマエッチングされやすい絶縁膜を形成する工程と、最上層メタル配線のボンディングパッド部上部のプラズマエッチングされやすい絶縁膜およびプラズマエッチングされにくい絶縁膜をエッチングする工程と、ボンディングパッド部およびその周辺領域上とヒューズ部上に開口を有するチップコートのためのポリイミド膜を形成する工程と、ポリイミド膜をマスクにしてプラズマエッチングされやすい絶縁膜をプラズマエッチングする工程とを含むことを特徴とする。

【0014】請求項8記載の半導体装置の製造方法は、レーザー切断方式のヒューズ部が最上層メタル配線で形成された冗長回路を有する半導体装置の製造方法であって、最上層メタル配線形成後にプラズマエッチングされにくい絶縁膜を形成する工程と、プラズマエッチングされにくい絶縁膜上にプラズマエッチングされやすい絶縁膜を形成する工程と、最上層メタル配線のボンディングパッド部上部のプラズマエッチングされやすい絶縁膜およびプラズマエッチングされにくい絶縁膜をエッチングする工程と、ヒューズ部上のプラズマエッチングされやすい絶縁膜をプラズマエッチングする工程とを含むことを特徴とする。

【0015】請求項9記載の半導体装置の製造方法は、請求項7または8記載の半導体装置の製造方法において、プラズマエッチングされやすい絶縁膜がシリコン窒化膜であり、プラズマエッチングされにくい絶縁膜がシリコン酸化膜であることを特徴とする。

【0016】請求項10記載の半導体装置の製造方法は、請求項7または8記載の半導体装置の製造方法において、プラズマエッチングされやすい絶縁膜がステップカバレッジが相対的に悪い膜であり、プラズマエッチングされにくい絶縁膜がステップカバレッジが相対的に良い膜であることを特徴とする。

【0017】本発明によれば、最上層メタル配線でヒューズ部を形成し、最上層メタル配線の保護膜を、最上層メタル配線を覆いプラズマエッチングされにくい絶縁膜と、その上に設けられプラズマエッチングされやすい絶縁膜とで形成しているため、プラズマエッチングによりヒューズ部上のプラズマエッチングされやすい絶縁膜を開口する際に、その選択性が高く、ヒューズ部上のプラ

ズマエッチングされにくい絶縁膜はほぼ成膜時の膜厚を維持でき、ヒューズ部上の絶縁膜の膜厚を正確に制御することができ、信頼性の高い半導体装置を実現できる。また、ヒューズ部上のプラズマエッチングされやすい絶縁膜のエッチングは比較的安価なプラズマエッチング装置で行うことができ、従来のように非常に高価な設備や有毒ガス除外装置を用いる必要もない。

【0018】また、プラズマエッチングされやすい絶縁膜としてはシリコン窒化膜、プラズマエッチングされにくい絶縁膜としてはシリコン酸化膜を用いることができる。また、プラズマエッチングされにくい絶縁膜にステップカバレッジが良い膜を用いることにより最上層メタル配線に対する高い耐水性を得ることが出来る。

【0019】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。本発明の実施の形態の半導体装置は、レーザー切断方式のヒューズ部（以下「冗長ヒューズ部」という）が最上層メタル配線で形成された冗長回路を有する半導体装置である。

【0020】（第1の実施の形態）図1は本発明の第1の実施の形態における半導体装置の断面構造図である。図1において、11は最上層メタル配線で形成された冗長ヒューズ部、12は最上層メタル配線で形成されたボンディングパッド部、13は例えば膜厚300nmのp-TEOS膜（プラズマエッチングされにくい絶縁膜であり、シリコン酸化膜）、14は例えば膜厚700nmのp-SiN膜（プラズマエッチングされやすい絶縁膜）、18は例えば膜厚6μmのチップコートのためのポリイミド膜であり、15はボンディングパッド部12上のパッド開口部、16は冗長ヒューズ部11上の開口部、17はボンディングパッド部12およびその周辺領域に形成された開口部である。図1では、最上層メタル配線より下部の半導体基板を含む構成については図示していない。なお、p-TEOS膜はプラズマCVD法により形成されたTEOS膜であり、p-SiN膜はプラズマCVD法により形成されたSiN膜である。

【0021】本実施の形態の半導体装置は、最上層メタル配線の保護膜として、最上層メタル配線を覆うp-TEOS膜13と、その上にp-SiN膜14とが形成されている。p-SiN膜14上にはチップコートのためのポリイミド膜18が形成されている。そして、最上層メタル配線で形成された冗長ヒューズ部11上は、p-TEOS膜13のみが形成され、ポリイミド膜18およびp-SiN膜14は開口されている（開口部16）。また、最上層メタル配線で形成されたボンディングパッド部12およびその周辺領域は、ポリイミド膜18およびp-SiN膜14が開口され（開口部17）、ボンディングパッド部12上はp-TEOS膜13が開口されている（パッド開口部15）。

【0022】以上のように構成された本実施の形態にお

ける半導体装置の製造方法について、図2を用いて説明する。図2は図1の半導体装置の製造方法を示す工程断面図である。

【0023】図2(a)に示すように、最上層メタル配線を堆積した後、パターニングを施すことにより冗長ヒューズ部11およびボンディングパッド部12を形成する。その後、プラズマCVD法により300nmのp-TEOS膜13を堆積し、次にプラズマCVD法により700nmのp-SiN膜14を堆積する。

【0024】次に図2(b)に示すように、フォトリソストを用いてボンディングパッド部12上にのみ開口部を持つレジストパターン（図示せず）を形成し、それをマスクとしてp-SiN膜14、p-TEOS膜13をエッチングしてパッド開口部15を形成し、レジストを除去する。パッド開口部15は異方性の強いエッチング例えばRIE（Reactive Ion Etching）法により形成する。

【0025】次に図2(c)に示すように、6μmのポリイミド膜18を形成し、リソグラフィによりポリイミド膜18に開口部16、17を設ける。開口部16は冗長ヒューズ部11上に設け、開口部17はパッド開口部15およびその周辺領域に設ける。

【0026】最後に図2(d)に示すように、プラズマエッチングを行うことにより開口部16、17のp-SiN膜14をエッチングする。この時のプラズマエッチングの条件は例えば次のようなものである。

【0027】エッチング装置：マイクロ波ダウンフロー方式によるエッチング装置

トータルガス圧：0.44 torr

CF₄ ガス分圧：0.2 torr

O₂ ガス分圧：0.14 torr

N₂ ガス分圧：0.10 torr

マイクロ波電力：1.3 kW

この条件のとき、p-SiN膜14/p-TEOS膜13の選択比は10以上の選択比が得られる。これにより下地のp-TEOS膜13はほとんどエッチングされることがなく元の膜厚である300nmをほぼ維持することが出来る。この膜厚は下地の冗長ヒューズ部11を安定して切断できる膜厚である。

【0028】またこのときのエッチング方法は、マイクロ波ダウンフロー方式でなくても平行平板型のプラズマエッチング方式やカソードカップリングのRIE方式など他のプラズマエッチング方式でも十分な選択比を得ることが出来る。さらに、マイクロ波ダウンフロー方式のプラズマエッチング装置は比較的構造が単純なため、他のプラズマエッチング装置に比べて市販価格は半額以下と安価である。

【0029】以上のように本実施の形態によれば、最上層メタル配線で冗長ヒューズ部11を形成し、最上層メタル配線の保護膜を、最上層メタル配線を覆いプラズマ

エッチングされにくいp-TEOS膜13と、その上に設けられプラズマエッチングされやすいp-SiN膜14とで形成しているため、プラズマエッチングにより冗長ヒューズ部11上のp-SiN膜14を開口する際に、p-SiN膜14の選択性が高く、冗長ヒューズ部11上のp-TEOS膜13はほぼ成膜時の膜厚を維持でき、冗長ヒューズ部11上の絶縁膜(p-TEOS膜13)の膜厚を正確に制御することができ、信頼性の高い半導体装置を実現できる。

【0030】また、冗長ヒューズ部11上のp-SiN膜14のエッチングは比較的安価なプラズマエッチング装置で行うことができ、従来のように非常に高価な設備や有毒ガス除外装置を用いる必要もない。さらに、前述したようにマイクロ波ダウンフロー方式のプラズマエッチング装置であれば、より安価である。

【0031】(第2の実施の形態)図3は本発明の第2の実施の形態における半導体装置の断面構造図である。図3において、31は最上層メタル配線で形成された冗長ヒューズ部、32は同じく最上層メタル配線で形成されたボンディングパッド部、33は例えば膜厚300nmのp-TEOS膜(プラズマエッチングされにくい絶縁膜)、34は例えば膜厚700nmのp-SiN膜(プラズマエッチングされやすい絶縁膜)、35はボンディングパッド部32上のパッド開口部、36は冗長ヒューズ部31上の開口部である。図3でも、最上層メタル配線より下部の半導体基板を含む構成については図示していない。

【0032】本実施の形態の半導体装置は、最上層メタル配線の保護膜として第1の実施の形態同様、最上層メタル配線を覆うp-TEOS膜33と、その上にp-SiN膜34とが形成されている。そして、最上層メタル配線で形成された冗長ヒューズ部31上は、p-TEOS膜33のみが形成され、p-SiN膜34は開口されている(開口部36)。また、最上層メタル配線で形成されたボンディングパッド部32上は、p-SiN膜34およびp-TEOS膜33が開口されている(パッド開口部35)。

【0033】以上のように構成された本実施の形態における半導体装置の製造方法について、図4を用いて説明する。図4は図3の半導体装置の製造方法を示す工程断面図である。

【0034】図4(a)に示すように、最上層メタル配線を堆積した後、パターニングを施すことにより冗長ヒューズ部31およびボンディングパッド部32を形成する。その後、プラズマCVD法により300nmのp-TEOS膜33を堆積し、次にプラズマCVD法により700nmのp-SiN膜34を堆積する。

【0035】次に図4(b)に示すように、フォトリソストを用いてボンディングパッド部12上のみ開口部を持つレジストパターン(図示せず)を形成し、それを

マスクとしてp-SiN膜34、p-TEOS膜33をエッチングしてパッド開口部35を形成し、レジストを除去する。パッド開口部35のエッチングは、図2

(b)におけるパッド開口部15のエッチングと同様に行う。

【0036】次に図4(c)に示すように、フォトリソストを用いて冗長ヒューズ部31上部にのみ開口部を持つレジストパターン(図示せず)を形成し、それをマスクとしてp-SiN膜34のみをプラズマエッチングによりエッチングして開口部36を形成し、レジスト除去する。この時のエッチング条件は第1の実施の形態で説明したプラズマエッチングの条件と同じであり、冗長ヒューズ部31上のp-TEOS膜33はほぼ元の膜厚の300nmを維持することが出来る。

【0037】以上のように本実施の形態によれば、第1の実施の形態と同様の効果が得られる。すなわち、最上層メタル配線で冗長ヒューズ部31を形成し、最上層メタル配線の保護膜を、最上層メタル配線を覆いプラズマエッチングされにくいp-TEOS膜33と、その上に設けられプラズマエッチングされやすいp-SiN膜34とで形成しているため、プラズマエッチングにより冗長ヒューズ部31上のp-SiN膜34を開口する際に、p-SiN膜34の選択性が高く、冗長ヒューズ部31上のp-TEOS膜33はほぼ成膜時の膜厚を維持でき、冗長ヒューズ部31上の絶縁膜(p-TEOS膜33)の膜厚を正確に制御することができ、信頼性の高い半導体装置を実現できるとともに、冗長ヒューズ部31上のp-SiN膜34のエッチングを比較的安価なプラズマエッチング装置で行うことができる。

【0038】なお、上記の第1、第2の実施の形態では、最上層メタル配線上に形成されプラズマエッチングされにくい絶縁膜としてp-TEOS膜13、33を、その上に形成されプラズマエッチングされやすい絶縁膜としてp-SiN膜14、34を用いたが、他の膜であってもプラズマエッチングにより高い選択性のとれる膜であれば他の材料でも構わない。例えば、プラズマエッチングされにくい絶縁膜としてp-SiO₂膜(プラズマCVD法により形成されたSiO₂膜)を用い、その上に形成されプラズマエッチングされやすい絶縁膜としてp-SiN膜を用いてもよい。また、プラズマエッチングされにくい絶縁膜としてp-TEOS膜を用い、その上に形成されプラズマエッチングされやすい絶縁膜としてSOG膜を用いてもよい。なお、プラズマエッチングによる、(プラズマエッチングされやすい絶縁膜)/(プラズマエッチングされにくい絶縁膜)の選択比は実用的には2.5以上であればよい。

【0039】また、第1、第2の実施の形態において、プラズマエッチングされにくい絶縁膜として用いたp-TEOS膜13、33はステップカバレッジが相対的に良く(80%程度)、プラズマエッチングされやすい絶

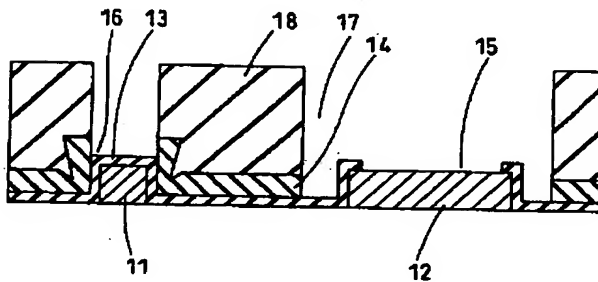
縁膜として用いた p-SiN 膜 14, 34 はステップカバレッジが相対的に良くない (50%程度)。このように、p-TEOS 膜に相当する下地膜にカバレッジの良い膜を用いることにより、最上層メタル配線に対する高い耐水性を得ることが出来る。なお、上記のステップカバレッジにおける 80%, 50% という数値は、平坦面に溝や穴等を形成しその上に絶縁膜を堆積したとき、平坦面に堆積される膜厚に対する、溝や穴等の側壁に形成される最も薄い部分の膜厚の割合を示すものである。

【0040】

【発明の効果】以上のように本発明によれば、最上層メタル配線でヒューズ部を形成し、最上層メタル配線の保護膜を、最上層メタル配線を覆いプラズマエッチングされにくい絶縁膜と、その上に設けられプラズマエッチングされやすい絶縁膜とで形成しているため、プラズマエッチングによりヒューズ部上のプラズマエッチングされやすい絶縁膜を開口する際に、その選択性が高く、ヒューズ部上のプラズマエッチングされにくい絶縁膜はほぼ成膜時の膜厚を維持でき、ヒューズ部上の絶縁膜の膜厚を正確に制御することができ、信頼性の高い半導体装置を実現できる。また、ヒューズ部上のプラズマエッチングされやすい絶縁膜のエッチングは比較的安価なプラズマエッチング装置で行うことができ、従来のように非常に高価な設備や有毒ガス除外装置を用いる必要もない。

【図面の簡単な説明】

【図 1】



- 11 冗長ヒューズ部
- 12 ボンディングパッド部
- 13 p-TEOS膜
- 14 p-SiN膜
- 15 パッド開口部
- 16 開口部
- 17 開口部
- 18 ポリイミド膜

【図 1】本発明の第 1 の実施の形態における半導体装置の断面構造図である。

【図 2】本発明の第 1 の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図 3】本発明の第 2 の実施の形態における半導体装置の断面構造図である。

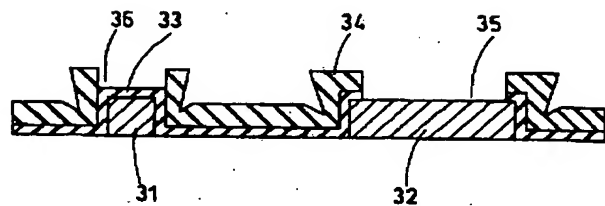
【図 4】本発明の第 2 の実施の形態における半導体装置の製造方法を示す工程断面図である。

【図 5】従来の半導体装置の断面構造図である。

10 【符号の説明】

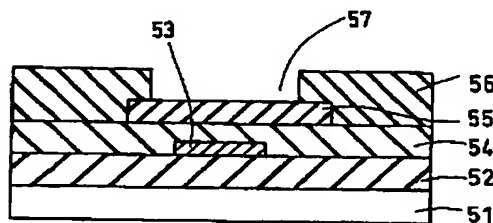
- 11 冗長ヒューズ部 (最上層メタル配線)
- 12 ボンディングパッド部 (最上層メタル配線)
- 13 p-TEOS膜
- 14 p-SiN膜
- 15 パッド開口部
- 16 開口部
- 17 開口部
- 18 ポリイミド膜
- 31 冗長ヒューズ部 (最上層メタル配線)
- 32 ボンディングパッド部 (最上層メタル配線)
- 33 p-TEOS膜
- 34 p-SiN膜
- 35 パッド開口部
- 36 開口部

【図 3】

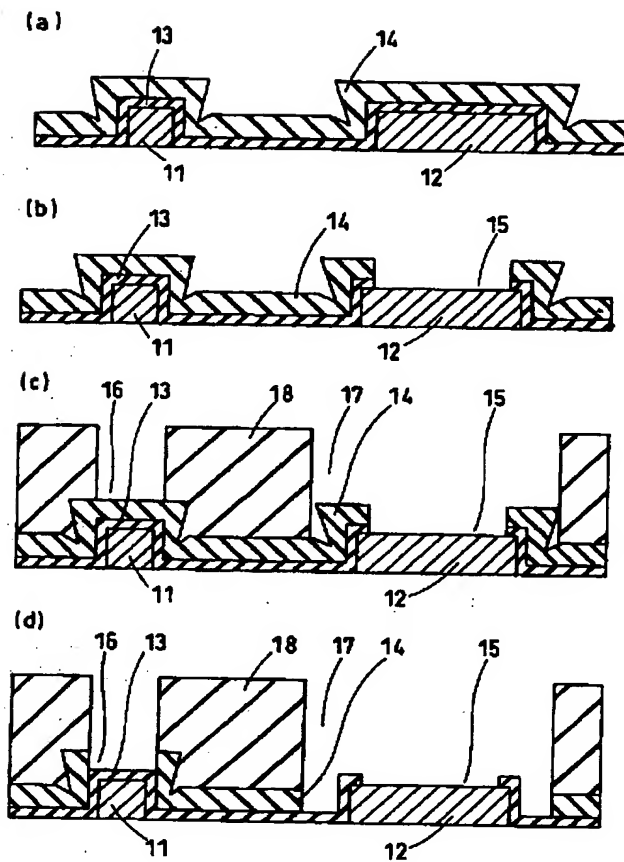


- 31 冗長ヒューズ部
- 32 ボンディングパッド部
- 33 p-TEOS膜
- 34 p-SiN膜
- 35 パッド開口部
- 36 開口部

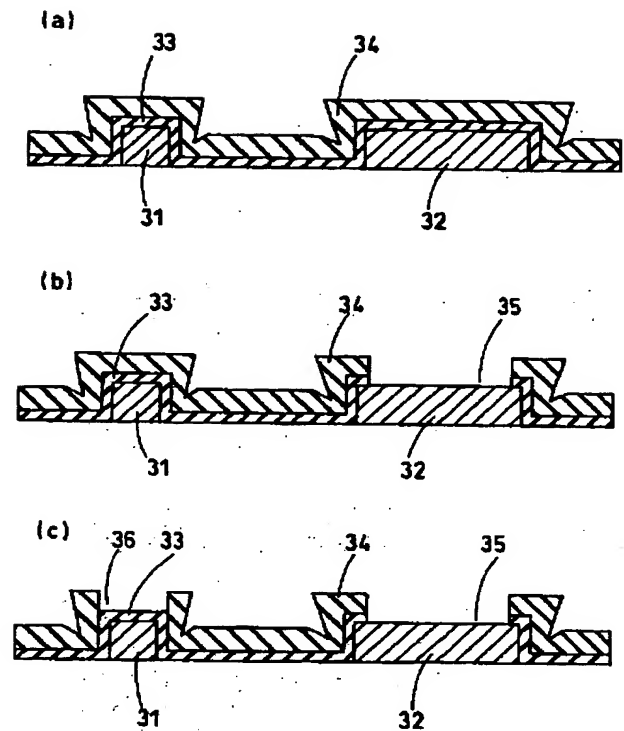
【図 5】



【図 2】



【図 4】



フロントページの続き

Fターム(参考) 5F004 AA02 BA04 BA20 BB11 BB14
 CA03 DA01 DA25 DA26 DB07
 EB08
 5F033 QQ09 QQ12 QQ13 QQ25 QQ35
 RR04 RR06 RR22 SS04 SS15
 TT04 VV07 VV11 XX00 XX33
 5F064 FF02 FF27 FF29 FF42 GG03